



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0043055
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

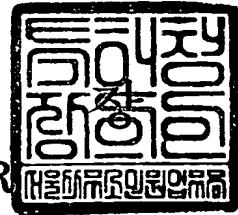
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 24일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.06.30
【발명의 명칭】	폴리메탈 게이트 전극을 갖는 트랜지스터 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATING TRANSISTOR WITH POLYMETAL GATE ELECTRODE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM,Kwan Yong
【주민등록번호】	700925-1457214
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을주공아파트 139-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	홍병섭
【성명의 영문표기】	HONG,Byung Seop
【주민등록번호】	621011-1671028
【우편번호】	136-086
【주소】	서울특별시 성북구 보문동6가 441 아남아파트 101-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥재
【성명의 영문표기】	CHO,Heung Jae

【주민등록번호】 700123-1122410
【우편번호】 467-850
【주소】 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 105-904
【국적】 KR
【발명자】
【성명의 국문표기】 이정호
【성명의 영문표기】 LEE, Jung Ho
【주민등록번호】 650224-1069125
【우편번호】 139-243
【주소】 서울특별시 노원구 공릉3동 풀림아파트 105-604
【국적】 KR
【발명자】
【성명의 국문표기】 오재근
【성명의 영문표기】 OH, Jae Geun
【주민등록번호】 690823-1063317
【우편번호】 467-850
【주소】 경기도 이천시 대월면 사동리 현대5차아파트 504-1603
【국적】 KR
【발명자】
【성명의 국문표기】 김용수
【성명의 영문표기】 KIM, Yong Soo
【주민등록번호】 670808-1845710
【우편번호】 440-420
【주소】 경기도 수원시 장안구 장안동 105-8
【국적】 KR
【발명자】
【성명의 국문표기】 장세억
【성명의 영문표기】 JANG, Se Aug
【주민등록번호】 660305-1772811
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 신하리 481-1 삼익아파트 104-1210
【국적】 KR

【발명자】

【성명의 국문표기】 양홍선
 【성명의 영문표기】 YANG, Hong Seon
 【주민등록번호】 580502-1094015
 【우편번호】 449-162
 【주소】 경기도 용인시 죽전2동 벽산아파트 403-308
 【국적】 KR

【발명자】

【성명의 국문표기】 손현철
 【성명의 영문표기】 SOHN, Hyun Chul
 【주민등록번호】 610318-1010333
 【우편번호】 135-011
 【주소】 서울특별시 강남구 논현1동 22 논현아파트 106-1001
 【국적】 KR
 【심사청구】 청구
 【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
 특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	4	면	4,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	15	항	589,000	원
【합계】	622,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

텅스텐(W)과 같은 메탈 오염과 무관하게 선택적 재산화가 가능하고, 게이트 재산화 공정 시 메탈과 폴리실리콘 간의 계면이 산화되는 것을 억제 또는 방지하여 게이트 전극의 수직적 저항을 개선하는데 적합한 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법이 개시되어 있는 바, 본 발명에 따른 방법은, 반도체기판상에 게이트절연층을 형성하는 단계; 상기 게이트절연층 상에 패턴된 게이트 스택 - 게이트 스택은 하부층 폴리실리콘막과 상부층 메탈층을 포함한다 - 을 형성하는 단계; 상기 게이트 스택의 측면과 상기 게이트절연층 상에 70~400°C의 저온 공정으로 실리콘 옥사이드 계열의 캡핑층을 형성하는 단계; 및 게이트 재산화 공정을 실시하는 단계를 포함하는 것을 특징으로 한다.

【대표도】

도 3d

【색인어】

폴리메탈 게이트, 재산화, SiO_2 캡핑층, 저온 공정, ALD

【명세서】**【발명의 명칭】**

폴리메탈 게이트 전극을 갖는 트랜지스터 제조 방법{METHOD FOR FABRICATING TRANSISTOR WITH POLYMETAL GATE ELECTRODE}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래기술에 따른 $W/WN_x/Poly-Si$ 게이트 재산화 공정을 보여주는 단면도.

도 2는 종래기술에 따른 $W/WN_x/Poly-Si$ 게이트 스택의 계면의 단면 TEM 사진.

도 3a 내지 도 3d는 본 발명의 바람직한 실시예에 따른 $W/WN_x/Poly-Si$ 게이트 전극 구조를 갖는 모스트랜지스터 제조 공정 단면도이다.

도 4는 본 발명에서 ALD 방법으로 SiO_2 층을 형성하는 공정 과정을 나타낸 도표.

도 5는 본 발명에 따른 시료에 대한 단면 TEM 사진.

도 6은 본 발명에 따른 시료의 게이트전극이 없는 지역에서 조사한 W 의 SIMS 프로파일.

도 7은 본 발명의 시료의 계면 XPS 분석 데이터.

* 도면의 주요부분에 대한 부호의 설명 *

301 : 실리콘기판

302 : 게이트산화막

303 : 폴리실리콘층

304 : 텅스텐질화층

305 : 텅스텐층

306 : 마스크산화막층

307 : 포토레지스트 패턴

308 : SiO_2 캡핑층

309 : 재산화에 의한 산화층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법에 관한 것으로, 더욱 상세하게는 메탈 오염으로부터 자유롭고 폴리메탈의 계면 산화를 억제하면서, 게이트 재산화(reoxidation) 공정을 진행하기 위한 방법에 관한 것이다.

<15> 일반적으로, 모스트랜지스터의 게이트 전극은 폴리실리콘(Poly-Si)을 사용하여 형성하여 왔으나, 반도체 소자의 고집적화에 따라 게이트 전극을 비롯한 각종 패턴이 미세화됨에 따라 통상적인 게이트 전극 형성시 사용되어 온 도핑된 폴리실리콘은 그 자체의 높은 비저항 특성으로 인하여 자연 시간이 길어 빠른 동작을 요구하는 소자에 적용하기가 어렵다.

<16> 이러한 점은 반도체 소자의 고집적화에 따라 더욱 심각한 문제로 대두되고 있으며, 이를 개선하기 위하여 텅스텐실리사이드(WSi_x), 티타늄실리사이드 등의 고융점 메탈(refractory metal) 실리사이드막을 이용한 예컨대 $\text{WSi}_x/\text{Poly-Si}$ 와 같은 폴리사이드(polycide) 구조의 게이트 전극 기술이 대두되었다.

<17> 하지만, 폴리사이드 구조의 게이트 전극 또한 초고집적화된 반도체 소자의 동작 속도 향상에 한계가 있어, 최근에는 텅스텐(W)과 같은 고융점 메탈을 게이트 전극으로 사용하는 기술로서 $\text{W}/\text{WN}_x/\text{Poly-Si}$ 구조와 같은 폴리메탈(Polymetal) 게이트 전극 구조를 사용하게 된다.

W/WN_x/Poly-Si 게이트 전극 구조는 WSi_x/Poly-Si 게이트 전극 구조에 비하여 1/10 정도의 낮은 저항을 갖는 장점을 갖는다. W/WN_x/Poly-Si 게이트 전극 구조에서 텅스텐질화막(WN_x)은 상부층 텅스텐(W)과 하부층 폴리실리콘(Poly-Si) 사이에 형성되는 확산베리어(Diffusion Barrier)이다

<18> 한편, 게이트 전극용 적층막들을 식각(Etching)하여 게이트 패턴을 형성한 다음, 게이트 산화막에 생긴 마이크로 트렌치(micro trench) 및 플라즈마(Plasma) 데미지(Damage)를 회복시켜 주기 위하여 게이트 재산화 공정을 진행하고 있다. 게이트 재산화 공정은 상기 장점 이외에도 실리콘기판에 남아 있는 잔류 전극 물질을 산화시키고 게이트 에지(Edge)에 있는 게이트 산화막의 두께를 증가시켜 GGO(Graded gate oxide)를 형성하므로써 소자의 신뢰성을 향상시키기 위한 목적으로도 실시된다. 그리고, 재산화 공정시 텅스텐이 산화되면서 급격하게 부피가 팽창하는 문제가 발생되는 바, W/WN_x은 산화되지 않고 폴리실리콘(Poly-Si)만이 산화되는 선택적 산화 방법(Journal Electrochemical Society, Vol. 133, p. 401(1986) 참조)이 이용되고 있다.

<19> 도 1a 및 도 1b, 도 2를 참조하여, 종래기술에 따른 W/WN_x/Poly-Si 게이트 전극 구조 및 게이트 재산화 공정에 대해서 상술한다.

<20> 도 1a를 참조하면, 실리콘기판(10) 상에 게이트산화막(11)을 성장시키고 그 상부에 도핑된 폴리실리콘막(12)을 증착한다. 이어서, 폴리실리콘막(12) 상부에 확산베리어로서 WN_x막(13) 및 텅스텐(W)막(14)을 증착하고, 그 상부에 하드마스크용 절연막으로서 산화막(15)을 증착한다.

<21> 계속하여, 게이트 마스크를 형성한 다음, 하드마스크 산화막(15), 텅스텐막(14), WN_x막(13) 및 폴리실리콘막(12)을 차례로 식각하여 패터닝함으로써 게이트 스택을 형성한다.

<22> 도면에 도시된 바와 같이, 게이트 식각시 드러난 게이트산화막(11)의 표면 및 게이트 에지 하부에는 마이크로 트렌치(micro trench) 및 플라즈마(Plasma) 데미지(Damage)가 발생하게 된다.

<23> 도 1b는 선택적 재산화 공정을 진행한 상태로서, 마이크로 트렌치 및 플라즈마 데미지가 회복되고 게이트 에지측의 게이트산화막(11a) 두께가 두꺼워 졌으며, 또한 텅스텐 및 텅스텐질화막(14, 15)은 산화되지 않고 폴리실리콘막(12)의 측면에만 산화막(16)이 형성되어 있음을 알 수 있다.

<24> 이상에서 살펴본 바와 같이, 종래에는 폴리메탈 게이트 전극 구조를 사용할 때, 선택적 재산화를 사용하여 소자 특성을 향상시키고 있으나, 선택적 산화 방법은 아래와 같은 여러가지 문제점을 가지고 있다.

<25> 첫째, 선택적 재산화 공정은 H_2O 를 사용하는 바, 이 H_2O 와 W의 반응으로 기체 상태의 WH_2O_4 가 생성되므로써 웨이퍼와 챔버를 오염시켜 후속 공정 및 소자 특성에 악 영향을 주게 된다. 텅스텐 이외의 Mo, Ta, Ti, Ru, Ir, Pt의 메탈을 적용하는 폴리메탈 전극 구조하에서도 동일하게 메탈 오염의 문제가 발생한다.

<26> 둘째, 선택적 재산화 후, W/ WN_x 과 폴리실리콘의 계면에 2nm 이상의 두께를 갖는 산화막(SiO_x) 또는/및 질화막(SiN_x) 성분의 절연막이 생성되며, 이는 게이트의 수직적(vertical) 저항을 증가시켜 고주파수 동작시 신호 지연 등의 문제를 일으키게 된다. 도 2는 선택적 재산화 공정 후의 W/ WN_x /Poly-Si 계면의 단면 TEM 사진이다. 도 2에 도시된 바와 같이 산화막(SiO_x)

또는/및 질화막(SiN_x) 성분의 절연막이 W과 폴리실리콘간의 계면에서 2~3nm로 형성되어 있음을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상술한 바와 같은 종래기술의 문제점을 해결하기 위한 것으로서, 텅스텐(W)과 같은 메탈 오염과 무관하게 선택적 재산화가 가능한 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법을 제공하는데 그 목적이 있다.

<28> 본 발명의 다른 목적은 게이트 재산화 공정시 메탈과 폴리실리콘 간의 계면이 산화되는 것을 억제 또는 방지하여 게이트 전극의 수직적 저항을 개선하는데 적합한 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위하여 본 발명의 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법은, 반도체기판상에 게이트절연층을 형성하는 단계; 상기 게이트절연층 상에 패턴된 게이트 스택 - 게이트 스택은 하부층 폴리실리콘막과 상부층 메탈층을 포함한다 - 을 형성하는 단계; 상기 게이트 스택의 측면과 상기 게이트절연층 상에 70~400°C의 저온 공정으로 실리콘 옥사이드 계열의 캡핑층을 형성하는 단계; 및 게이트 재산화 공정을 실시하는 단계를 포함하는 것을 특징으로 한다.

<30> 본 발명에서, 상기 캡핑층은 SiO_2 , $\text{SiO}_{x\text{F}}_y$ 및 $\text{SiO}_{x\text{N}}_y$ 의 그룹으로부터 선택된 어느 하나의 박막을 사용하며, 상기 캡핑층의 형성은 저온 공정이 가능한 원자층증착(ALD) 또는 플라즈

마화학기상증착(PECVD)으로 실시하는 것이 바람직하다. 특히, 캡핑층은 50~200Å의 두께로 형성할 때 CVD 방법은 박막의 균일도를 제어하기 어려우므로 ALD 방법으로 캡핑층을 형성하는 것이 더욱 바람직하다.

<31> 본 발명에서 상기 메탈층은 W, Mo, Ta, Ti, Ru, Ir 및 Pt의 그룹으로부터 선택된 어느 하나를 사용할 수 있고, 상기 게이트 스택은 상기 폴리실리콘막과 상기 메탈층 사이에 확산베리어층을 더 포함할 수 있으며, 이때 상기 확산베리어층은 WN_x , SiN_x , $TiAl_xN_y$, HfN_x , ZrN_x , TaN_x , TiN_x , AlN_x , $TaSi_xN_y$, $TiAl_xN_y$ 의 그룹으로부터 선택된 어느 하나를 사용할 수 있다.

<32> 또한, 상기 목적을 달성하기 위한 다른 측면에 따른 본 발명의 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법은, 반도체기판상에 게이트산화층을 형성하는 단계; 상기 게이트산화층 상에 폴리실리콘층, 확산베리어층, 텅스텐층 및 마스크절연막을 차례로 적층한 후 식각하여 게이트 스택을 형성하는 단계; 상기 식각에 의해 드러난 상기 게이트 스택의 측면과 상기 게이트산화층 상에 원자층증착법으로 SiO_2 층을 형성하는 단계; 및 게이트 재산화 공정을 실시하는 단계를 포함하는 것을 특징으로 한다.

<33> 여기서, 상기 SiO_2 층을 50~200Å으로 형성하고, 그 형성 방법은 70~400°C의 온도에서 원자층증착법으로 수행하는 것이 바람직하다. 그리고, 상기 SiO_2 층의 형성 이후에 SiO_2 층의 박막 치밀화(densification) 및 박막내의 불순물 제거를 위한 열처리를 수행하는 단계를 더 포함하는 것이 바람직하다.

<34> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예 및 그 작용효과를 첨부된 도면을 참조하여 설명하기로 한다.

<35> (실시예)

<36> 도 3a 내지 도 3d는 본 발명의 바람직한 실시예에 따른 W/WN_x/Poly-Si 게이트 전극 구조를 갖는 모스트랜지스터 제조 공정 단면도이다.

<37> 도 3a를 참조하면, 실리콘기판(301) 상에 게이트산화막(302)과 폴리실리콘층(303), 확산베리어인 텅스텐질화층(WN_x)(304), 텅스텐층(305) 및 하드 마스크 절연층(306)을 차례로 성장 또는/및 증착하고 게이트 패터닝을 위한 포토레지스트 패턴(307)을 형성한다.

<38> 이어서, 도 3b를 참조하면 포토레지스트 패턴(307)을 식각 베리어로 하여 마스크 절연층(306), 텅스텐층(305), 텅스텐질화층(WN_x)(304) 및 폴리실리콘층(303)을 식각하여 게이트 스택(500)을 형성한다.

<39> 이때, 폴리실리콘층(303)의 에지측에서 게이트산화막(302)의 손상을 억제 및 방지하기 위하여 폴리실리콘층(303)의 식각면이 도면과 같이 포지티브 경사를 가지고도록 식각하는 것이 바람직하다. 물론, 이후의 재산화 공정에서 게이트산화막의 손상은 회복될 것이다.

<40> 그리고, 포토레지스트 패턴(307)은 식각과정에서 자연 손실되어 제거되거나 별도의 스트립(strip)공정을 통해 제거한다.

<41> 이어서, 도 3c와 같이 게이트 스택(350)의 측면과 드러난 게이트산화막(302) 상에 70~400°C의 저온 공정으로 SiO₂ 캡핑층(308)을 형성한다.

<42> 70~400°C의 저온 공정으로 SiO_2 캡핑층(308)을 형성하는 이유는 텅스텐층(305)이 산화되는 것을 방지하기 위함이다. 400°C 이하의 저온 공정으로 SiO_2 캡핑층(308)을 형성하는 방법은 원자층증착법(ALD), 열 산화법, 화학기상증착법(CVD) 등이 있을 수 있으나, 실질적으로 현재 개발된 실리콘 제조 공정으로는 원자층증착법이 가장 바람직하다. 열 산화 방법은 낮은 온도이기에 장시간의 공정 시간이 필요하여 작용 불가능하고, 또한 CVD 방법은 50~200Å의 두께로 캡핑층을 형성할 때 박막의 균일도를 제어하기 어렵기 때문이다. 캡핑층(308)이 너무 두꺼울 경우 후속 게이트 재산화 공정시 재산화가 용이하지 않으므로 그 뚜껑은 앞서 언급한 바와 같이 50~200Å의 두께가 바람직하다.

<43> 이어서, 도 3d는 게이트 재산화 공정을 실시한 상태의 단면도로서, 폴리실리콘층(309)의 측면에는 산화막(309)이 형성되고 게이트 에지측에 게이트산화막이 재성장에 의해 두꺼워 진 것을 보여주고 있다. 게이트 재산화 공정은 700~900°C에서 알려진 선택적 재산화 공정 또는 일반적인 재산화 공정으로 가능하다.

<44> 이후, LDD 이온주입, 게이트 측벽 스페이서 형성, 소스/드레인 이온주입 공정 등 트랜지스터 제조를 위한 통상의 일련의 공정을 수행하여 트랜지스터 제조를 완료한다.

<45> 본 실시예에서, 실리콘기판(301)은 실리콘-게르마늄 등의 기타 화합물 반도체기판 또는 실리콘 에피택셜층으로 대체 가능하고, 게이트산화막(302)은 산화막 또는 질화산화막 등을 적용하는 것이 가능하다.

<46> 또한, 본 실시예에서는 폴리실리콘층(303) 대신에 실리콘-게르마늄층을 사용하는 것이 가능하고, 텅스텐층(305) 이외에 Mo, Ta, Ti, Ru, Ir 및 Pt 등 메탈을 사용할 수 있고, 확산베

리어는 텅스텐 질화막(WN_x) 이외에 SiN_x , $TiAl_xN_y$, HfN_x , ZrN_x , TaN_x , TiN_x , AlN_x , $TaSi_xN_y$, $TiAl_xN_y$ 등을 사용하는 것이 가능하다.

<47> 그리고, 본 실시예에서 재산화 이전에 상기 SiO_2 층(308)의 박막 치밀화(densification) 및 박막내의 불순물 제거를 위한 열처리를 수행할 수도 있다.

<48> 도 4는 ALD 방법으로 SiO_2 층(308)을 형성하는 공정 과정을 나타낸 도표로서, 게이트 스택이 형성된 웨이퍼를 챔버에 로딩한 다음, 챔버내에 Si 소스가스를 플로우시켜 실리콘 원자층을 형성하고(a), 챔버내를 퍼지한 다음(b), 다시 챔버에 옥시겐(O) 소스가스를 플로우시킨 후 (c) 퍼지한다(d).

<49> 한편, Si 소스가스 및 O 소스가스의 플로우시에 공정 온도를 낮추기 위한 촉매로서 C_5H_5N (Pyridine) 또는 NH_3 가스를 동시에 플로우시킨다.

<50> Si 소스가스는 $SiCl_6$ 또는 $SiCl_4$ 를 사용하고, O 소스가스는 H_2O , O_2 , NO 및 N_2O 의 그룹으로부터 선택된 어느하나를 사용한다.

<51> (작용효과)

<52> 본 발명에 따른 작용효과를 분석하기 위하여, 650Å W/ 50Å WN_x / 700Å Poly-Si 게이트 스택에 75Å의 ALD- SiO_2 캡핑층을 적용한 다음, 게이트 선택적 재산화 공정을 실시하여 시료를 마련하였다.

<53> 도 5는 상기 시료에 대한 단면 TEM 사진이다. 도 5에 도시된 바와 같이 ALD- SiO_2 캡핑 후에 선택 산화 공정을 진행하였을 때에도 W의 산화 없이 게이트 에지에 게이트 베즈비크(bird's beak)가 정상적으로 형성되어 있다.

<54> 또한, 일반적으로 DRAM 등의 제조 공정에서 게이트 전극 측벽에는 별도로 베퍼산화막 및 질화막 스페이서가 형성되는 것이 일반적인데, ALD-SiO₂ 캡핑층이 베퍼산화막의 역할을 할 수 있어 공정 스텝 수는 그대로 유지할 수 있는 작용효과도 구현된다.

<55> 도 6은 시료의 게이트전극이 없는 지역에서 조사한 W의 SIMS 프로파일이다. ALD-SiO₂ 캡핑한 후 선택 산화를 한 경우, 캡핑하지 않은 시료에 비해 상대적으로 잔막내에 텅스텐 오염도가 낮은 것을 알 수 있다. 도면에서 'selox'는 선택 산화를 의미한다.

<56> 도 7은 시료의 계면 XPS 분석 데이터이다. ALD-SiO₂ 는 BOE 용액으로, W/WN_x는 H₂O₂ 용액을 이용하여 습식 제거하면서 분석하였다. 시료의 계면에서 실리콘 옥사이드 성분이 상당히 줄어든 것을 알 수 있다. 이는 캡핑층이 계면 산화를 억제/방지하여 게이트 스택의 수직적 저항을 개선한다는 것을 의미한다.

<57> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<58> 본 발명에 따른 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법은 텅스텐(W)과 같은 메탈 오염과 무관하게 선택적 재산화가 가능하고, 게이트 재산화 공정시 메탈과 폴리실리콘 간의 계면이 산화되는 것을 억제 또는 방지하여 게이트 전극의 수직적 저항을 개선하는 효과를 구현한다.

【특허 청구범위】**【청구항 1】**

반도체기판상에 게이트절연층을 형성하는 단계;

상기 게이트절연층 상에 패턴된 게이트 스택 - 게이트 스택은 하부층 폴리실리콘과 상부층 메탈을 포함한다 - 을 형성하는 단계;

상기 게이트 스택의 측면과 상기 게이트절연층 상에 70~400°C의 저온 공정으로 실리콘 옥사이드 계열의 캡핑층을 형성하는 단계; 및

게이트 재산화 공정을 실시하는 단계

를 포함하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 2】

제1항에 있어서,

상기 게이트 스택은 상기 폴리실리콘과 상기 메탈 사이에 형성된 확산베리어층을 더 포함하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 3】

제1항에 있어서,

상기 캡핑층은 SiO_2 , SiO_xF_y 및 SiO_xN_y 의 그룹으로부터 선택된 어느하나인 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 4】

제1항에 있어서,

상기 캡핑층의 형성은 원자층증착(ALD) 또는 플라즈마화학기상증착(PECVD)으로 이루어지는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 5】

제4항에 있어서,

상기 원자층 증착에 의한 실리콘 옥사이드 계열의 캡핑층의 형성은,

상기 게이트 스택이 형성된 웨이퍼를 챔버에 로딩하는 단계;

상기 챔버내에 Si 소스가스를 플로우시킨 후 퍼지하는 단계; 및

상기 챔버에 O₂ 소스가스를 플로우시킨 후 퍼지하는 단계

를 포함하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 6】

제5항에 있어서,

상기 Si 소스가스는 SiCl₆ 또는 SiCl₄를 포함하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 7】

제5항에 있어서,

상기 0 소스가스는 H_2O , O_2 , NO 및 N_2O 의 그룹으로부터 선택된 어느하나 또는 이들의 혼합된 것임을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 8】

제6항 또는 제7항에 있어서,

상기 Si 소스가스 및 상기 0 소스가스의 플로우시에 공정 온도를 낮추기 위한 촉매로서 C_5H_5N 또는 NH_3 가스를 동시에 플로우시키는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 9】

제1항에 있어서,

상기 메탈은 W , Mo , Ta , Ti , Ru , Ir 및 Pt 의 그룹으로부터 선택된 어느하나인 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 10】

제2항에 있어서,

상기 확산베리어층은 WN_x , SiN_x , $TiAl_xN_y$, HfN_x , ZrN_x , TaN_x , TiN_x , AlN_x , $TaSi_xN_y$, $TiAl_xN_y$ 의 그룹으로부터 선택된 어느하나를 포함하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 11】

제1항에 있어서,

상기 게이트 스택은 $W/WN_x/Poly-Si$ 을 포함하는 것을 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 12】

반도체기판상에 게이트산화층을 형성하는 단계;

상기 게이트산화층 상에 폴리실리콘층, 확산베리어층, 텅스텐층 및 마스크절연막을 차례로 적층한 후 식각하여 게이트 스택을 형성하는 단계;

상기 식각에 의해 드러난 상기 게이트 스택의 측면과 상기 게이트산화층 상에 원자층증착법으로 SiO_2 층을 형성하는 단계; 및

게이트 재산화 공정을 실시하는 단계

를 포함하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 13】

제12항에 있어서,

상기 SiO_2 층을 50~200Å으로 형성하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【청구항 14】

제12항에 있어서,

상기 SiO_2 층의 형성은 70~400°C의 온도에서 원자층증착법으로 이루어지는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

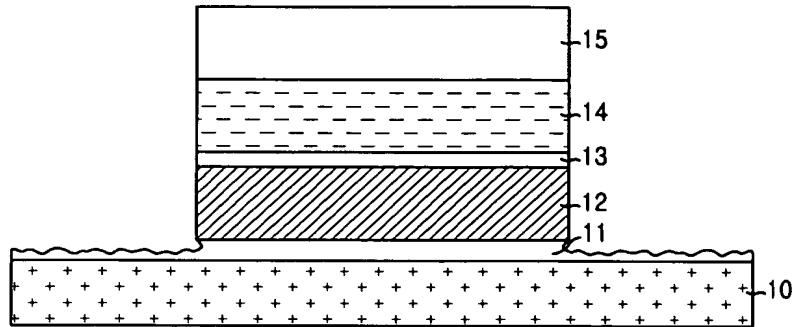
【청구항 15】

제12항에 있어서,

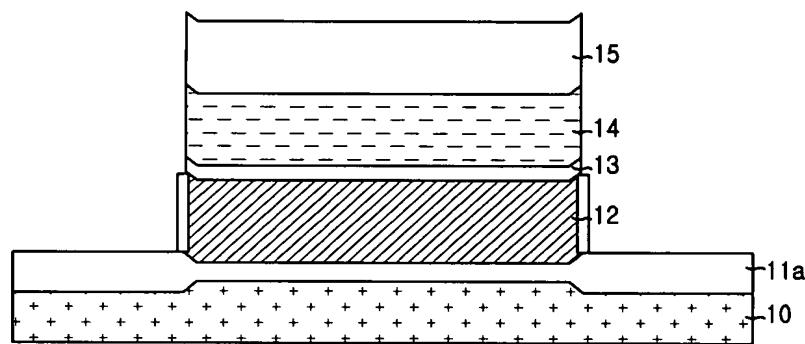
상기 SiO_2 층의 형성 이후에 SiO_2 층의 박막 치밀화(densification) 및 박막내의 불순물 제거를 위한 열처리를 수행하는 단계를 더 포함하는 것을 특징으로 하는 폴리메탈 게이트 전극 구조의 트랜지스터 제조 방법.

【도면】

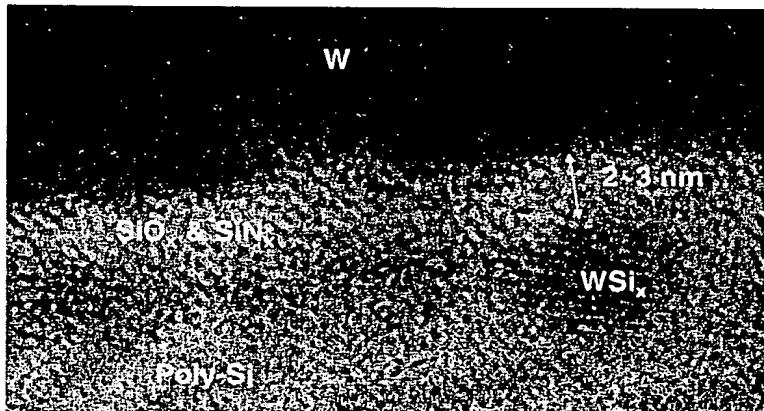
【도 1a】



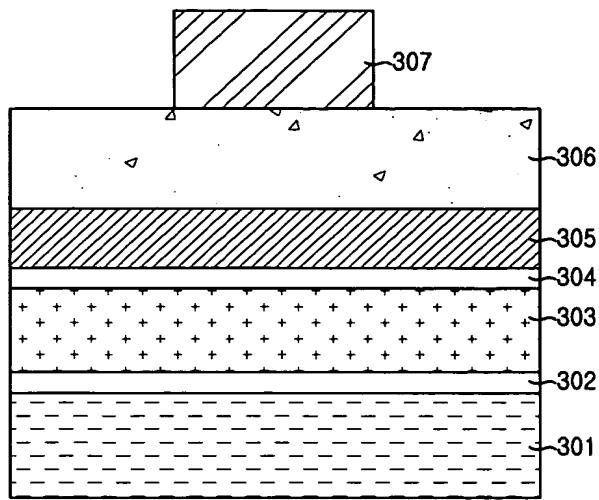
【도 1b】



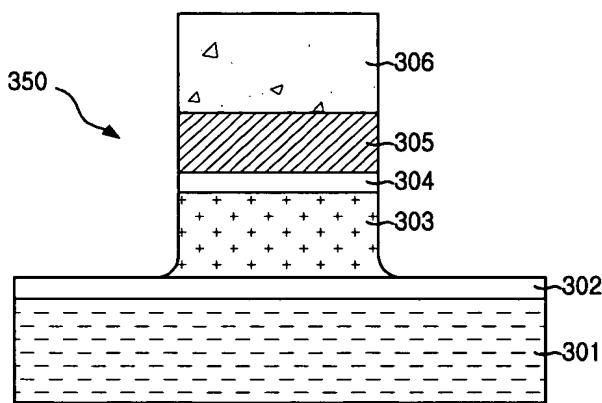
【도 2】



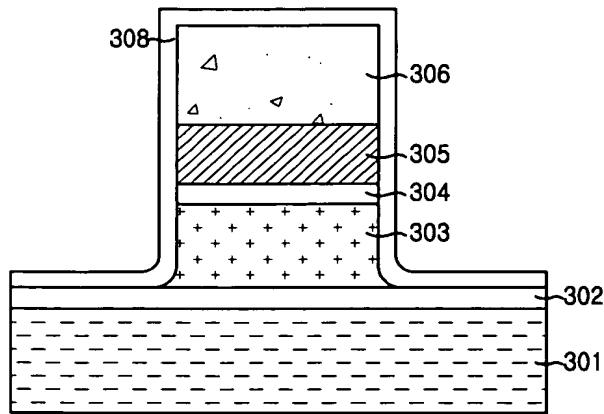
【도 3a】



【도 3b】

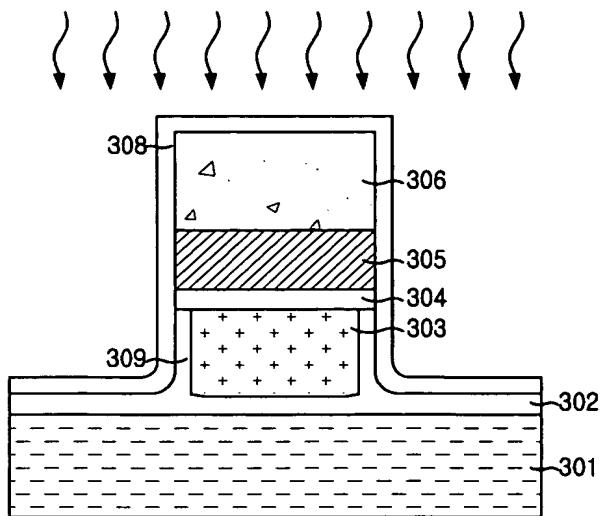


【도 3c】

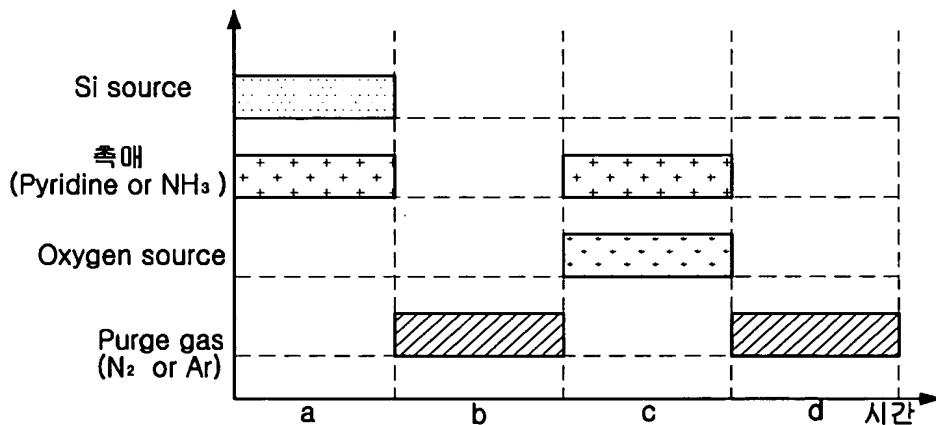


【도 3d】

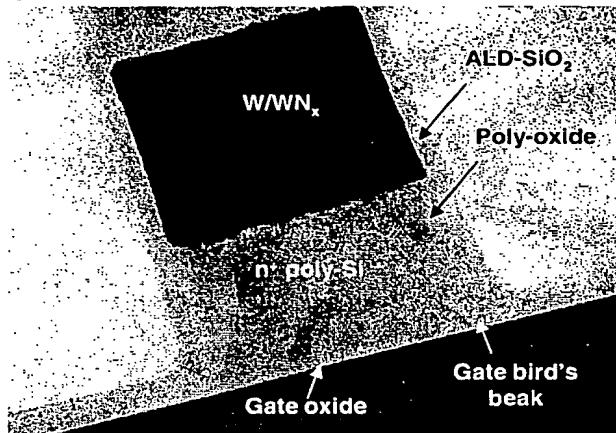
케이트 재산화



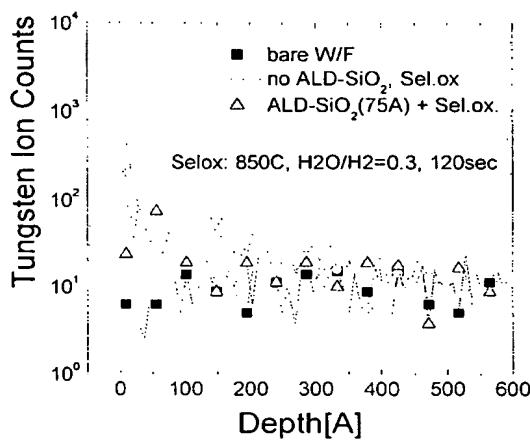
【도 4】



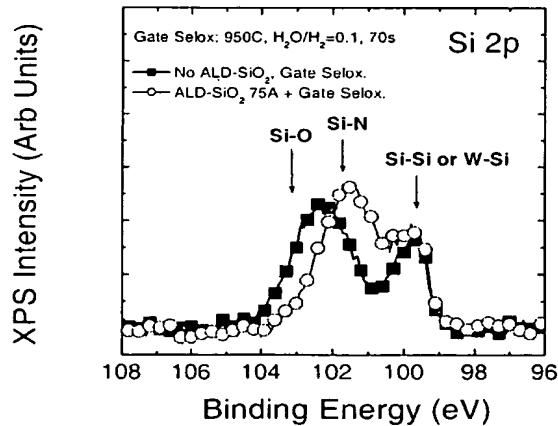
【도 5】



【도 6】



【도 7】



BEST AVAILABLE COPY